

Excerpt from Japanese Patent  
Laid-Open Publication No. Hei 6-349855

[0030] [Example 3]

5 This example relates to a technology for simultaneously producing a TFT for a peripheral driver circuit and a TFT for a switching element to be provided for a pixel in an active matrix type liquid crystal display apparatus. As has been known, for an active matrix type liquid crystal display apparatus, a structure  
10 in which a TFT for switching to be provided for each pixel and a TFT to be provided on a peripheral driver circuit portion are formed on the same substrate (in particular, a glass substrate) is well known. A system configuration in the structure is schematically shown in Fig. 3(A).

15 [0031]

In the configuration as shown in Fig. 3, required characteristics differ between a TFT which is needed on the pixel portion and a TFT which is needed on the peripheral driver circuit portion. As the characteristics of the TFT needed on  
20 the pixel portion, a characteristic that off-state currents are small is required to enhance charge retention in a pixel, whereas high mobility and a capability of passing a large on-state currents are not required. On the other hand, for the TFT needed on the peripheral driver circuit portion, high mobility  
25 and a capability of passing a large on-state current are required.

[0032]

The shape of a TFT naturally differs between the pixel portion and the peripheral driver circuit portion. The TFT to

be provided on the pixel portion has a channel length of from 5 to 20  $\mu\text{m}$ , for example, the channel length of the order of 10  $\mu\text{m}$  and a channel width of the order of 10  $\mu\text{m}$ . On the other hand, for the TFT to be provided on the peripheral driver circuit portion, the channel length is of the order of 10  $\mu\text{m}$  equal to the TFT for the pixel portion, whereas the channel width is within a range of from 50 to 200  $\mu\text{m}$ , for example, the channel width of the order of 150  $\mu\text{m}$ . Accordingly, the TFT for the peripheral driver circuit portion has an extremely wide channel width because it is necessary for the TFT on the peripheral driver circuit portion to pass a larger amount of currents, as compared to the TFT on the pixel portion intended for the charge retention in the pixel.

[0033]

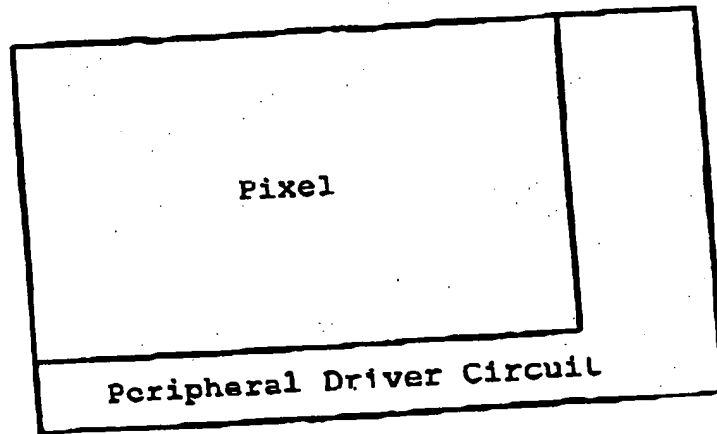
Fig. 3(B) shows a top view of a TFT to be provided on the peripheral driver circuit portion. In Fig. 3(B), reference numeral 36 represents a gate electrode whose width is generally 10  $\mu\text{m}$  (which means that the channel length is approximately 10  $\mu\text{m}$ ). Reference numerals 31, 33 represent source/drain regions, and reference numerals 34, 35 represent source/drain contacts (on which source/drain electrodes are formed). Further, reference numeral 32 represents a channel forming region provided below the gate electrode 36.

[0036]

A production process of this example is schematically shown in Fig. 4. In Fig. 4, the left-hand part shows a conventional TFT to be provided on the pixel portion and the right-hand part shows a TFT for the peripheral driver circuit. A silicon oxide

film 42 is formed in thickness of 1000 Å as a base film on a glass substrate 41 through a sputter method. Next, an amorphous silicon film (constituting the parts represented by reference numerals 43-48) is formed by a plasma CVD method and  
5 crystallized by annealing at 600 degrees for 48 hours. Then, device isolation is carried out to form an active layer on each element region. More specifically, active layers of the TFT for the pixel represented by reference numerals 43-45 and active layers for the TFT for the peripheral driver circuit represented  
10 by reference numerals 46-48 are formed.

(A)



(B)

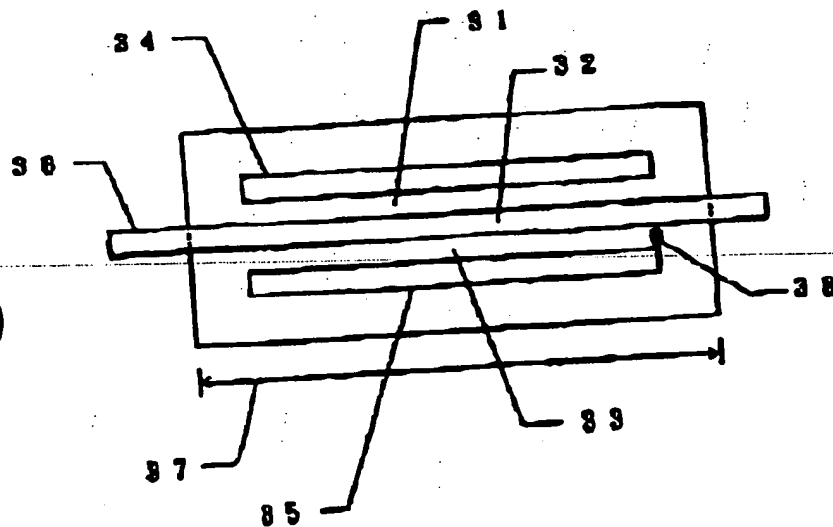


Fig. 3

**SEMICONDUCTOR DEVICE AND ITS MANUFACTURE**

Patent Number: JP6349855  
Publication date: 1994-12-22  
Inventor(s): TERAMOTO SATOSHI; others: 02  
Applicant(s): SEMICONDUCTOR ENERGY LAB CO LTD  
Requested Patent: ☐ JP6349855  
Application Number: JP19930160258 19930604  
Priority Number(s):  
IPC Classification: H01L21/336; H01L29/784; G02F1/136  
EC Classification:  
Equivalents: JP3375681B2

**Abstract**

**PURPOSE:** To accurately form a contact hole in source/drain regions in a location close to a channel forming region by a method wherein substantially triangular insulated matter closely connected to an insulation layer in a gate electrode side surface is provided, whereby a contact location for the source/drain regions is specified.

**CONSTITUTION:** Substantially triangular insulated matter 22 closely connected to an insulation layer 16 in a gate electrode 15 side surface is provided, whereby a contact location for the source/drain regions 17, 19 is specified. For example, an Al film formed by a sputter method is patterned to form the gate electrode 15 and the surface is anode-oxidized to form the oxide layer 16. Next, impurities are doped onto a crystalline silicon film 13 by an ion implantation method and the source/drain regions 17, 19 are self-adjustably formed to form a silicon oxide film 20 by a sputter method. Next, anisotropic dry-etching is performed to leave the silicon oxide 22 formed in substantially a triangular form.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-349855

(43)公開日 平成6年(1994)12月22日

(51)Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/336

29/784

G 0 2 F 1/136

5 0 0

9119-2K

9056-4M

H 0 1 L 29/ 78

3 1 1 P

審査請求 未請求 請求項の数5 FD (全 10 頁)

(21)出願番号

特願平5-160258

(22)出願日

平成5年(1993)6月4日

(71)出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72)発明者 寺本 聡

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72)発明者 張 宏勇

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72)発明者 竹村 保彦

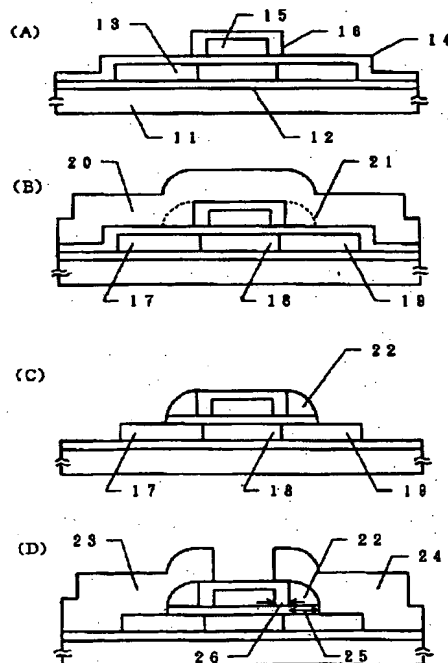
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(54)【発明の名称】 半導体装置およびその作製方法

(57)【要約】

【目的】 薄膜トランジスタにおいて、ソース/ドレイン領域へのコンタクトの方法を改良する。

【構成】 概略三角形形状の絶縁物22によって、ソース/ドレイン領域へのコンタクト部を自己整合的に決める。この構成をとることにより、マスク合わせを行わずに25の距離を決めることができ、しかもその距離を短くできるので、ソース/ドレイン領域の抵抗があまり問題とならない構成を実現できる。



1

## 【特許請求の範囲】

【請求項1】 ゲイト電極側面の絶縁層に密接して概略三角形形状の絶縁物が設けられ、  
該絶縁物によって、ソース領域及びドレイン領域へのコンタクト位置が定まっていることを特徴とする半導体装置。

【請求項2】 請求項1において、ゲイト電極はアルミニウムを主成分としており、絶縁層はアルミニウムの酸化物であることを特徴とする半導体装置。

【請求項3】 ゲイト電極側面に密接して概略三角形形状の絶縁物が設けられ、  
該絶縁物によって、ソース領域及びドレイン領域へのコンタクト位置が定まっていることを特徴とする半導体装置。

【請求項4】 ゲイト電極を覆って絶縁物を形成する工程と、  
異方性エッチングを行うことによって、前記絶縁物をエッチングし、ゲイト電極側面に概略三角形形状の絶縁物を残存させるとともに、ソース領域、ドレイン領域を露呈させる工程と、  
を有することを特徴とする半導体装置の作製方法。

【請求項5】 ガラス基板上に複数の薄膜トランジスタが形成されている半導体装置であって、  
前記半導体装置は、アクティブマトリックス型液晶表示装置の画素部分と周辺回路部分とを構成するものであり、  
前記周辺回路部分に設けられる薄膜トランジスタは、ゲイト電極側面またはゲイト電極側面の絶縁層に密接して概略三角形形状の絶縁物が設けられ、該絶縁物によって、ソース領域及びドレイン領域へのコンタクト位置が定まっている構成を有する半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、TFT（薄膜トランジスタ）の構造、及びその作製方法に関する。さらにそのようなTFTを利用した半導体装置に関する。

## 【0002】

【従来の技術】 従来より、アクティブマトリックス型の液晶表示装置やイメージセンサー等のガラス基板上に集積化された装置にTFT（薄膜トランジスタ）を利用する構成が広く知られている。図6に従来のTFTの断面の概略を示す。図6（A）に示されているのは、ガラス基板上に設けられた薄膜珪素半導体を用いた絶縁ゲイト型電界効果トランジスタ（以下単にTFTという）である。図6（A）において、61がガラス基板であり、このガラス基板61上に下地の酸化珪素膜62（2000Å厚程度）が形成され、さらにその上にソース/ドレイン領域63、65とチャネル形成領域64とが設けられた珪素半導体膜により構成される活性層が形成されている。この珪素半導体膜は、1000Å程度の厚さであ

2

り、非晶質（アモルファス）または結晶性（多結晶や微結晶）を有している。

【0003】そして活性層上にはゲイト絶縁膜を構成する酸化珪素膜66が1000Å程度の厚さで形成されている。そしてゲイト電極67がアルミニウムで形成され、このゲイト電極67の周囲には、アルミの陽極酸化によって形成された酸化物層68が厚さ2000Å程度の厚さで形成されている。さらに層間絶縁物69が酸化珪素等で形成され、ソース/ドレイン電極70、71とゲイト電極67へのコンタクトホール72が形成されている。図6（A）において、ゲイト電極67へのコンタクトホール72は、紙面向う側あるいは手前側（即ちソース/ドレイン電極70、71と同一平面上にはない）に存在する。

【0004】図5（A）に示す構造は、アルミニウムのゲイト電極67の陽極酸化によって形成されたゲイト電極67周囲の酸化物層68の厚さ73によって、自己整合的にオフセットゲイト領域を形成できる点が特徴である。即ち、酸化物層68を形成した後において、ソース/ドレイン領域を構成するための不純物イオンの注入を行うことによって、酸化物層68の厚さの分をオフセット領域として形成することができる。

【0005】しかしながら、実際には不純物の拡散があるので、ソース/ドレイン領域63、65とチャネル形成領域64との境界は、酸化物層68の端部に対応する所よりチャネル形成側によった部分となる。従って、その分を考慮して酸化物層68の厚さを決めなければならない。即ち、一般的には所定のオフセットゲイトの長さより厚く酸化物層68を形成しなければならない。

【0006】また、ソース/ドレイン領域63、65へのコンタクトホールの形成を行う場合、エッチングし過ぎると、酸化珪素膜66との界面を中心にコンタクトホール周辺部がエッチングされてしまう。すると、70、71のアルミ電極を形成した場合に、エッチングされた周辺部へアルミが拡散し、時にはチャネル形成領域64付近へもアルミが拡散してTFTの特性や信頼性を低下させてしまう。

【0007】一方、ソース/ドレイン領域へのコンタクト部とチャネル形成領域64との間の距離74が大きい場合、ソース/ドレイン領域のシート抵抗が問題となる。この問題を解決するには、74で示される距離を短くする方法が考えられるが、マスク合わせの精度の問題であり短くすることはできない。特に基板としてガラス基板を用いた場合には、加熱工程におけるガラス基板の縮みが問題尾となるので、マスク合わせの問題が重大な問題となる。例えば、10cm角以上のガラス基板に対して、600度程度の熱処理を加えると、数μm程度は簡単に縮んでしまう。従って、74で示される距離は20μm程度としてマージンをとっているのが現状である。

3

【0008】さらにまた、前述のソース/ドレイン領域へのコンタクトホール形成におけるオーバーエッチングの問題を考えると、74で示される距離を無闇に短くすることはできない。以上述べたように、従来のTFTにおいては、

(1) ソース/ドレイン領域へのコンタクトホールの形成が問題となる。

(2) (1)に関連してコンタクトホールの位置をチャネル形成領域近くに形成できないので、ソース/ドレイン領域のシート抵抗が問題となる。

【0009】また、上記(1)、(2)に示すような図6(A)に示すTFTの問題を解決する構造として、図6(B)に示すような構造のTFTが提案されている。このTFTは、図6(A)のTFTと同様なアルミニウムを主成分とするゲート電極67の周囲に陽極酸化工程によって、酸化物層68を形成し、この酸化物層68に密接してソース/ドレイン電極70、71を設けたものである。しかし、この構造では、ソース/ドレイン電極70、71とゲート電極67とが酸化物層68のみを介して存在することになるので、酸化物層68を介しての寄生容量が問題となり、動作の不安定さ、信頼性の低下が発生してしまう。この問題を解決するには、酸化物層68の厚さを厚くすればよいのであるが、酸化物層68の厚さは、オフセットゲートの長さを決めるものであるため、無闇に厚くすることはできない。

【0010】

【発明が解決しようとする課題】本発明は、上記のような問題を解決し、ソース/ドレイン領域へのコンタクトホールをチャネル形成領域に違い位置に正確に形成すること、さらには信頼性の高いTFTを得ることを課題とする。

【0011】

【課題を解決するための手段】図1を用いて本発明を説明する。アルミニウムを主成分とするゲート電極15の周囲にはアルミニウムの酸化物層16が形成されており、さらにその周囲に概略三角形の絶縁物(酸化珪素)22が設けられており、この絶縁物22によってソース/ドレイン領域17、19と電極23、24とのコンタクト位置が決定されている。この概略三角形の絶縁物は、酸化珪素膜20を成膜した後、垂直方向に異方性を有するエッチング(垂直方向が選択的にエッチングされる)を行うことによって、21で示される部分に形成される。

【0012】この概略三角形の絶縁物22の寸法特に25で示される寸法は、予め成膜される絶縁物20の厚さと、エッチング条件と、ゲート電極15の高さ(この場合絶縁層16の厚さも含まれる)とによって決定される。25の値は2000Å~20000Å程度が一般的であるが、実施態様に合わせて決めればよい。また、この絶縁物22の形状は、三角形に限定されるものでは

4

なく、酸化物20のステップカバレッジや膜厚によってその形状が変化する。例えば、25で示す寸法を短くした場合は、方形状となる。しかし、簡単のため以下明細書中では、22のことを図面に示すように概略三角形の絶縁物ということとする。

【0013】また図1に示すTFTでは、ゲート電極周囲に絶縁層16が形成されているが、この絶縁層が形成されておらず、ゲート電極に密接して絶縁物22を設ける構成としてもよい。

10 【作用】ゲート電極の側面に概略三角形の絶縁物を自己整合的に設けることで、ソース/ドレイン領域へのコンタクトホールの形成が不要になる。また、この概略三角形の絶縁物によって、ソース/ドレイン領域へのコンタクト位置をチャネル形成領域に近い所に設けることができる。

【0014】

【実施例】【実施例1】図1に本実施例のTFTの概略の作製工程を示す。本実施例で作製するのは、Nチャネル型TFTであるが、ソース/ドレイン領域をP型半導体で構成すればPチャネル型TFTとできることはいうまでもない。また、以下の実施例の説明においては、半導体として珪素半導体を用いる例を説明するが、他の半導体を用いることもできる。本実施例のTFTは、液晶表示装置の画素に設けられるTFTや周辺回路に利用されるTFT、さらにはイメージセンサやその他集積回路に利用することができる。

【0015】本実施例においては、基板11としてガラス基板を用いる。まずガラス基板11上に下地膜12として酸化珪素膜を2000Åの厚さにスパッタ法によって成膜する。つぎに非晶質珪素膜13をプラズマCVD法によって1000Åの厚さに成膜する。この非晶質珪素膜13の成膜方法や膜厚は実施態様によって決定されるものであり、特に限定されるものではない。また結晶性を有する珪素膜(例えば微結晶珪素膜や多結晶珪素膜)を利用することもできる。

【0016】つぎに、非晶質珪素膜13を結晶化させ、結晶性珪素膜とする。結晶化は、600度、24時間の加熱によって行った。そして、素子間分離のためのパターニングを行ない、活性層領域を確定した。活性層領域とは、ソース/ドレイン領域とチャネル形成領域とが形成される島状の半導体領域のことである。

40 【0017】つぎにゲート絶縁膜となる酸化珪素膜14を1000Åの厚さにスパッタ法によって成膜する。この酸化珪素膜14の成膜は、有機シラン(例えばTEOS)と酸素とを用いたプラズマCVD法によるものでもよい。つぎにゲート電極となるアルミニウム膜を6000~8000Å、本実施例では6000Åの厚さに成膜する。なお、このアルミニウム膜には珪素を0.1~2%程度含ませた。またゲート電極としては、珪素を主成分としたもの、珪素と金属とのシリサイド、珪素と金属



5

との積層体を用いることができる。

【0018】つぎに、アルミニウム膜をパターニングして、ゲート電極15を形成する。さらにこのアルミニウムよりなるゲート電極15の表面を陽極酸化して、表面に酸化物層16を形成する。この陽極酸化は、酒石酸が1~5%含まれたエチレングリコール溶液中で行った。本実施例においては、この酸化物層16の側面での厚さ26が2000Åであり、この厚さを利用して後の不純物イオン注入工程において、オフセットゲート領域を形成する。こうして、図1(A)に示す形状を得る。

【0019】次にN型の導電型を付与するための不純物P(磷)をイオン注入法により、活性層として形成された結晶性珪素膜13にドーピングする。この際、ゲート電極15とその周囲の酸化物層16がマスクとなり、自己整合的にソース/ドレイン領域17、19とチャネル形成領域18とが形成される。この後ドーピングされたPを活性化するのは結晶化の劣化した珪素膜のアニールを行うために、レーザー光の照射によるアニールを行う。このアニールは、赤外光の照射によるランプアニールによるものでもよい。また公知の加熱によるものでもよい。しかし、赤外線(例えば1.2μmの赤外線)によるアニールは、赤外線が珪素半導体に選択的に吸収され、ガラス基板をそれ程加熱せず、しかも一回の照射を数秒間にすることができるので、ガラス基板の縮みの問題に大して有利である。なおこの際、Pはチャネル形成領域の方に多少拡散するので、ソース/ドレイン領域17、19とチャネル形成領域18との界面は、酸化物層16よりもチャネル形成領域18側にシフトした位置に存在する。

【0020】次に酸化珪素膜20を6000Åの厚さにスパッタ法によって成膜する。この酸化珪素膜20の成膜方法としては、スパッタ法の他にTEOSと酸素とを用いたプラズマCVD法によるものでもよい。この酸化珪素膜は、段差が大きいゲート電極15の上方において、図1(B)に示すような形状となる。これは程度の問題であって、酸化珪素膜20のステップカバレッジや膜厚によって変化する。

【0021】次に、公知のRIE法による異方性ドライエッチングを行うことによって、この酸化珪素膜20のエッチングを行う。この際、その高さが6000Åあるゲート電極15の側面においては、その高さ方向の厚さが膜厚(酸化珪素膜の膜厚6000Åのこと)の約2倍となるので、エッチングを進めていくと、点線21で示されるような形状で酸化珪素を残すことができる。またこの際、ゲート絶縁膜である酸化珪素膜14をも続けてエッチングしてしまい、ソース/ドレイン領域17、19を露呈させる。またこの場合、活性層としてパターニングされた結晶性珪素膜13の端部においても段差が存在するが、その高さは1000Å程度であるので、この部分には酸化珪素膜20はほとんど残存しない。図1に

6

おいては、酸化珪素膜20が図1(B)に示すような形状に形成されたので、点線21で示すような形状で酸化珪素が残存するとしたが、仮に酸化珪素膜20がゲート電極の形状をそのまま反映した形(四角く角張った形状で盛り上がる)で成膜されたとすると、21の形状は方形形状または矩形状となる。

【0022】こうして図1(C)に示すような、概略三角形に形成された酸化珪素22が残存した状態が得られる。本実施例においては、この三角形の酸化珪素22の幅25は、3000Å程度であるが、その値は酸化珪素膜20の膜厚とエッチング条件、さらにはゲート電極15の高さ(酸化物層16も含めて考える)によって定めることができる。そしてアルミ電極23、24をソース/ドレイン電極として設けることによって、Nチャネル型TFTが完成する。(図1(D))

【0023】この23、24はクロム/アルミニウム多層膜で構成してもよい。この場合、下地にクロム膜を用いることで、電極とソース/ドレイン電極との電気的コンタクトが良好にとれる構成とすることができる。またクロムやチタンとアルミニウムの積層体を利用することもできる。

【0024】こうして完成したNチャネル型TFTは、三角形の酸化珪素22の存在によって、所謂自己整合的にソース/ドレイン領域と電極とのコンタクト部を決定することができる。しかもその位置をガラス基板11の縮みに関係無く決めることができる。さらに、極力コンタクト位置をチャネル形成領域に近づけることができるので、ソース/ドレイン領域のシート抵抗が高くても、それ程問題がないTFTを得ることができる。また、ソース/ドレイン電極を設けるためのゲート絶縁膜への穴開け工程が不要となるので、この工程に起因する諸問題を根本的に解決することができる。

【0025】また本実施例のような構成を採った場合、ゲート電極15の側面に陽極酸化工程によって形成されたアルミニウムの酸化物( $Al_2O_3$ )と酸化珪素( $SiO_2$ )22とが設けられているので、ゲート電極とソース/ドレイン電極との間の寄生容量を減少させることができる。

【0026】〔実施例2〕本実施例の作製工程を図2に示す。図2に示す符号において、図1に示す符号と同じものは、実施例1において説明したものと作製方法は同じである。まずガラス基板11上にスパッタ法によって、酸化珪素膜を2000Åの厚さに成膜する。次に、非晶質珪素膜13を1000Åの厚さにプラズマCVD法によって成膜する。そして600度、24時間の熱アニールによって非晶質珪素膜13を結晶化させ、結晶性珪素膜とする。

【0027】次に、アルミニウム膜を6000Åの厚さに成膜し、実施例1と同様な工程を経て、その表面に2000Å厚の酸化物層16が形成されたアルミニウムの

7

ゲイト電極15を形成する。そして、ゲイト電極以外の場所のゲイト絶縁膜14をエッチングによって除去して、図2(A)のような状態を得る。この後、Pのイオン注入を行ない、ソース/ドレイン領域17、19とチャネル形成領域18とを自己整合的に形成する。なお、このイオン注入工程は、ゲイト電極である酸化珪素膜14を除去する前に行ってもよい。そして、レーザー照射またはランプ加熱または加熱によるアニールを行いソース/ドレイン領域17、19を活性化させる。

【0028】次に、酸化珪素膜20を6000Åの厚さにスパッタ法によって成膜し、RIE法によって実施例1と同様な方法によりエッチングを行ない、21で示される部分に概略三角形の酸化珪素22を残存させる。そして、アルミ電極23と24を形成して、Nチャネル型TFTを完成する。

【0029】本実施例の場合も、実施例1と同様な構造上の効果を得ることができる。即ち、25で示される概略三角形の酸化珪素22の幅を約3000Åと狭くすることができるので、ソース/ドレイン領域17/19と電極23/24とのコンタクトの容易さを実現するとともに、ソース/ドレイン領域17/19のシート抵抗の高さに対するマージンの増加、といった効果を得ることができる。勿論25で示される部分の寸法は、酸化珪素膜20の膜厚、酸化珪素膜20のエッチング条件、ゲイト電極(酸化物層16も含む)15の高さ、によって必要とする値に決めることができる。

【0030】【実施例3】本実施例は、アクティブマトリックス型の液晶表示装置において、周辺ドライバー回路用のTFTと画素に設けられるスイッチング素子用のTFTとを同一基板上に同時に作製する技術に関する。周知のように、アクティブマトリックス型の液晶表示装置として、各画素に設けられるスイッチング用のTFTと周辺ドライバー回路部分に設けられるTFTとが同一基板(特にガラス基板)上に形成される構成が知られている。その概略のシステム構成を図3(A)に示す。

【0031】図3に示すような構成において、画素部分において必要とされるTFTと周辺ドライバー回路部分において必要とされるTFTとは、必要とされる特性が異なる。画素部分において必要とされるTFTの特性は、画素の電荷保持率を高めるために、オフ電流の小さいものが要求されるが、高移動度や多くのオン電流を流せる特性は必要とされない。それに対して、周辺ドライバー回路部分に必要とされるTFTは、高移動度と、多くのオン電流を流せる特性が要求される。

【0032】当然画素部分と周辺ドライバー回路部分とは、設けられるTFTの形状が異なる。画素部分に設けられるTFTは、チャネル長さが5~20μm例えば10μm程度、またその幅がやはり10μm程度であるが、周辺ドライバー回路部分に設けられるTFTにおいては、そのチャネル長は画素部分のTFTと同じ10μm

8

m程度であっても、そのチャネル幅は50~200μm例えば150μm程度であり、極端にチャネル幅の広いTFTとなっている。これは、画素における電荷保持を目的とした画素部分におけるTFTと比較して、周辺ドライバー回路部分におけるTFTは、大電流を流す必要があるからである。

【0033】図3(B)に周辺ドライバー回路部分に設けられるTFTの上面図を示す。図3(B)において、36がゲイト電極でありその幅は一般に10μm(チャネル長さが約10μmということの意味する)である。31/33はソース/ドレイン領域であり34/35がソース/ドレインのコンタクト部(この部分にソース/ドレイン電極が形成される)である。また32がゲイト電極36下に設けられているチャネル形成領域である。

【0034】前述の周辺ドライバー回路を構成するTFTに必要なとされる特性を満足するためには、チャネル幅37を広くする他に、ソース/ドレイン領域間における抵抗を低減させるために34、35で示されるソース/ドレイン領域のコンタクト部とチャネル形成領域32との距離38を小さくする方法、ソース/ドレイン領域34、35のシート抵抗そのものを低減する方法、が考えられる。しかしながら、前述のようにガラス基板の縮みやマスク合わせの問題、さらにはコンタクト部の形成の問題等により、この38で示される部分の距離は20μm程度としているのが現状であり、またソース/ドレイン領域のシート抵抗を低減させることも限度がある。

【0035】そこで、本実施例においては、ソース/ドレインのコンタクト部の形成に際して、

- (1)マスク合わせの問題が無い。
- (2)コンタクトホール形成の際の諸問題がない。
- (3)自己整合的にコンタクト部とチャネル形成領域との距離を設定することができる。

といった有用性を有する本発明を上記周辺ドライバー回路部分のTFTに利用するものである。また、画素部分には、従来からのTFTを同時に形成するものである。

【0036】本実施例の作製工程の概要を図4に示す。図4において、左側が画素部分に設けられる従来からのTFTを示し、右側が周辺ドライバー回路用のTFTを示す。まずガラス基板41上に下地膜として酸化珪素膜42を1000Åの厚さにスパッタ法によって成膜する。次に非晶質珪素膜(43~48で示される部分を構成する)をプラズマCVD法で成膜し、600度、48時間の加熱により結晶化させる。次に素子間分離を行ない各素子領域に活性層を形成する。即ち43~145で示される画素用TFTの活性層と、46~48で示される周辺ドライバー回路用TFTの活性層が形成される。

【0037】さらに、ゲイト絶縁膜となる酸化珪素膜40を1000Åの厚さにスパッタ法で形成し、パターニングを行う。さらにゲイト電極49、50を構成する珪素が1%添加されたアルミニウム膜を6000Åの厚さ

に成膜し、パターニングによりゲイト電極49、50を形成する。さらに陽極酸化工程により、酸化物層51、52を2000Åの厚さに形成する。そして、Pをイオン注入することによって、43、45、46、48をN型化し、チャネル形成領域44、47を自己整合的に形成する。こうして、43、45を画素用TFTのソース／ドレイン領域として構成し、46、48を周辺ドライバー回路用のソース／ドレイン領域として構成する。

【0038】この後、レーザー光の照射、あるいは赤外光の照射によるソース／ドレイン領域の活性化工程を行ない、さらに酸化珪素膜51を6000Åの厚さにスパッタ法あるいはプラズマCVD法によって成膜する。そして、図面左側の画素用TFTの上面をレジスト501で覆い、RIEによるエッチングを行う。この際、左側の画素用TFTのソース／ドレイン領域へのコンタクトを形成するための穴開けも同時に行う。すると図4(C)に示すように点線53で示される部分の酸化珪素が58として概略三角形形状に残存する。この後左側の画素用TFTのソース／ドレイン電極54、55と、図面右側の周辺ドライバー回路用のソース／ドレイン電極56、57とを同時に形成し、それぞれの出力55と56とが連結された回路を完成する。この際、概略三角形形状の酸化珪素の残存物58によって、図面右側のTFTのソース／ドレインのコンタクト部は自己整合的に決定される。本実施例の場合、59の距離を3000Å程度にすることができるので、ソース／ドレイン領域のシート抵抗が高くても、周辺ドライバー回路用TFTの特製を満足することができる。

【0039】図5に図4右側の周辺ドライバー回路用TFTの上面図を示す。図5に示すのは、特にゲイト電極の端部付近である。図5のA-A'の断面図が図4(D)の右側に示すTFTの断面図に相当する。図5において図4と対応する符号は図4に示すのと同様である。図5において、52で示すのがゲイト電極50の周囲に形成された酸化物層であり、不純物イオン注入時に自己整合的にオフセットゲイト領域を形成するためのものである。また、58が概略三角形形状の絶縁物(酸化珪素)である。そして、502が図4(D)にも示すように、ゲイト電極50下に形成されているチャネル形成領域47とドレインまたはソース領域48の境界部分である。この境界部分は、不純物(例えばPやB)の拡散のために、酸化物層52の内側(チャネル側)に寄った場所に形成される。

【0040】(実施例4)本実施例は、ガラス基板上にNチャネル型TFT(NTFT)とPチャネル型TFT(PTFT)とを相補型に構成したC/TFT(コンプリメンタリー薄膜トランジスタ)設ける例である。基本的な作製工程は、実施例3の場合と同様であり、特に断らない部分は実施例3の作製工程と同様である。

【0041】以下図4を用いて本実施例のC/TFTの

作製工程を説明する。本実施例が実施例3と異なるのは、図4(A)の構成において、

- ・左側がNTFT、右側がPTFTである点。
- ・両方のTFTが、図4(D)の右側に示すような構造を有している点。

である。

【0042】実施例3においては、図4(A)に示す工程において、両方のTFTをNTFTとして構成したが、本実施例においては、左側をNTFT、右側をPTFTとするために、それぞれの活性層領域にPとBとを選択的にイオン注入する。このイオン注入は、イオン注入が必要とされない領域をレジストで覆うことによって、選択的に行えばよい。そして図4(B)に示す工程において、レジスト501を設けずに、酸化珪素膜51をRIE法によりエッチングすることにより、両方のTFTを図4右側に示すようなTFTとして完成させる。

【0043】こうして、ソース／ドレインのコンタクトの位置が自己整合的に定まるNTFTとPTFTとを相補型に形成したC/TFTを得ることができる。

【0044】以上の実施例1～4においては、ゲイト電極としてアルミニウムを用い、その周囲に陽極酸化によって形成した酸化物層を設ける構成を示した。しかしながら、珪素を主成分としたゲイトであっても、また金属を主成分としたゲイト電極であっても、また半導体と金属の積層で構成されるゲイト電極であってもよい。または半導体と金属のシリサイドであってもよい。例えばTi電極、Cr電極、Ta電極、またはこれらと珪素との積層やシリサイドの電極、さらにはSi-W、Si-Mo、Si-Alの積層またはシリサイドをゲイト電極として利用することができる。

【0045】

【効果】ゲイト電極に隣接して、自己整合的に絶縁物を設けることで、ソース／ドレイン領域へのコンタクト位置を自動的に決めることができる。しかもソース／ドレイン領域のシート抵抗の高さをあまり問題としなくてもよい構造を得ることができる。特に、

- (1)マスク合わせの問題が無い。
- (2)コンタクトホール形成の際の諸問題がない。
- (3)自己整合的にコンタクト部とチャネル形成領域との距離を設定することができる。

といった有用性を得ることができる。

【図面の簡単な説明】

【図1】 実施例のTFTの作製工程を示す。

【図2】 実施例のTFTの作製工程を示す。

【図3】 アクティブ型液晶表示装置の概要、さらには周辺ドライバー回路用TFTの概要を示す。

【図4】 実施例のTFTの作製工程を示す。

【図5】 実施例の上面図を示す。

【図6】 従来のTFTの構造を示す。

【符号の説明】

## 11

- 11 . . . . . ガラス基板
- 12 . . . . . 下地膜 (酸化珪素膜)
- 13 . . . . . 珪素半導体膜
- 14 . . . . . 酸化珪素膜
- 15 . . . . . ゲイト電極
- 16 . . . . . 酸化物層
- 17 . . . . . ソース/ドレイン領域
- 18 . . . . . チャネル形成領域
- 19 . . . . . ドレイン/ソース領域
- 20 . . . . . 酸化珪素膜
- 21 . . . . . 酸化珪素膜が残存する領域
- 22 . . . . . 残存した概略三角形の酸化珪素
- 23 . . . . . 電極
- 24 . . . . . 電極
- 31 . . . . . ソース/ドレイン領域
- 32 . . . . . チャネル形成領域
- 33 . . . . . ドレイン/ソース領域
- 34 . . . . . ソース/ドレイン電極
- 35 . . . . . ドレイン/ソース電極
- 36 . . . . . ゲイト電極
- 40 . . . . . 酸化珪素膜
- 41 . . . . . ガラス基板
- 42 . . . . . 下地膜 (酸化珪素膜)
- 43 . . . . . ソース/ドレイン領域
- 44 . . . . . チャネル形成領域
- 45 . . . . . ドレイン/ソース領域
- 46 . . . . . ソース/ドレイン領域

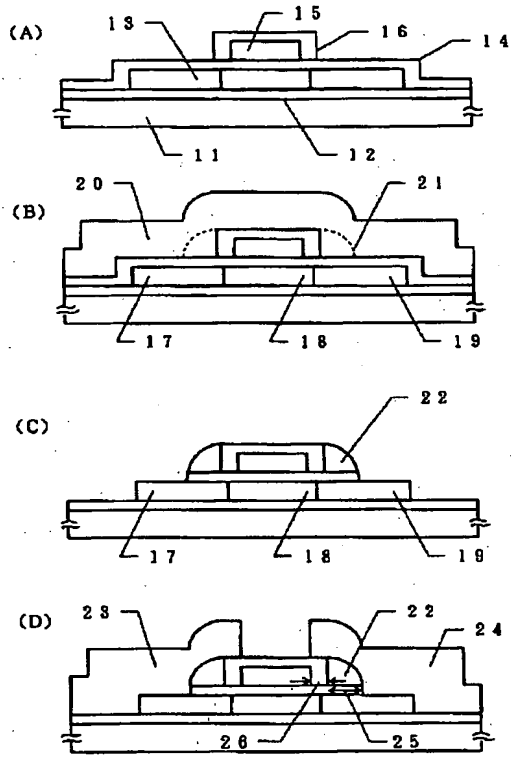
## 12

- 47 . . . . . チャネル形成領域
- 48 . . . . . ドレイン/ソース領域
- 49 . . . . . ゲイト電極
- 50 . . . . . ゲイト電極
- 51 . . . . . 酸化物層
- 52 . . . . . 酸化物層
- 53 . . . . . 酸化珪素膜が残存する領域
- 54 . . . . . 電極
- 55 . . . . . 電極
- 10 56 . . . . . 電極
- 57 . . . . . 電極
- 501 . . . . . レジスト
- 61 . . . . . ガラス基板
- 62 . . . . . 下地膜 (酸化珪素膜)
- 63 . . . . . ソース/ドレイン領域
- 64 . . . . . チャネル形成領域
- 65 . . . . . ドレイン/ソース領域
- 66 . . . . . 酸化珪素膜
- 67 . . . . . ゲイト電極
- 20 68 . . . . . 酸化物層
- 69 . . . . . 層間絶縁物
- 70 . . . . . 電極
- 71 . . . . . 電極
- 72 . . . . . ゲイト電極67へのコンタクトホール
- 502 . . . . . ソースまたはドレイン領域とチャネル形成領域との境界

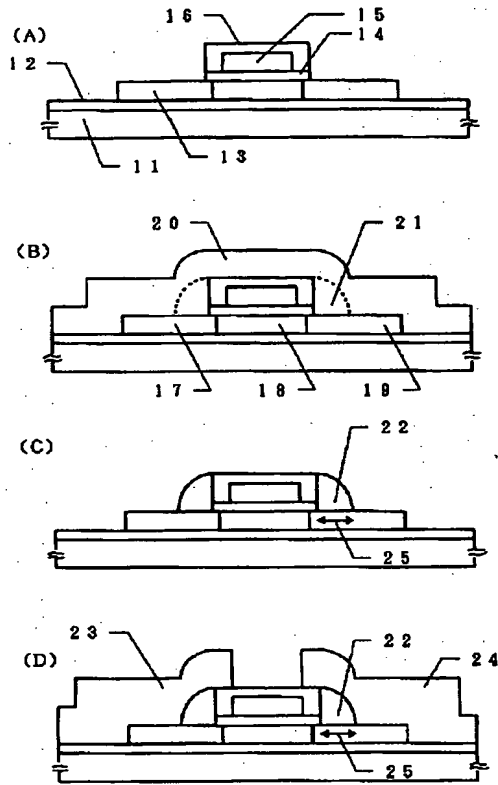
(8)

特開平6-349855

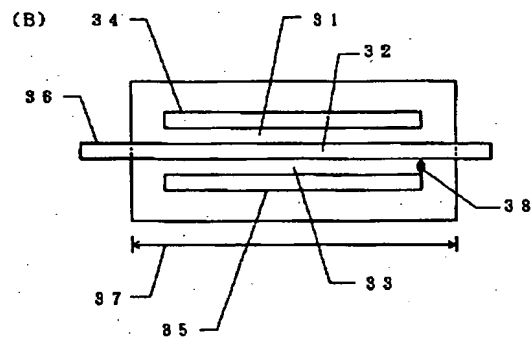
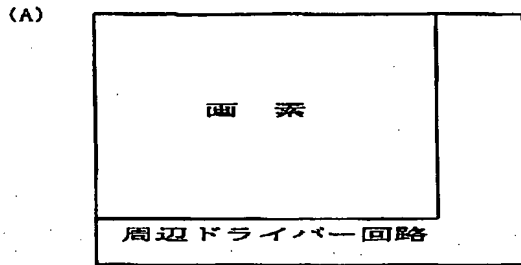
【図1】



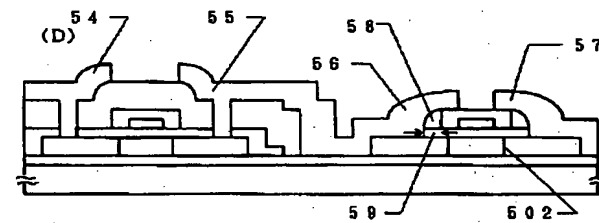
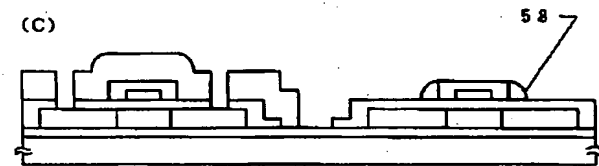
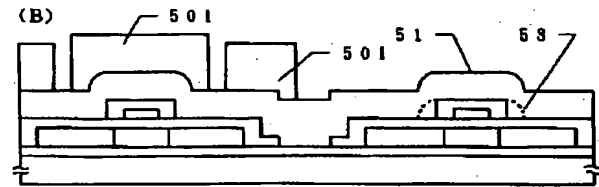
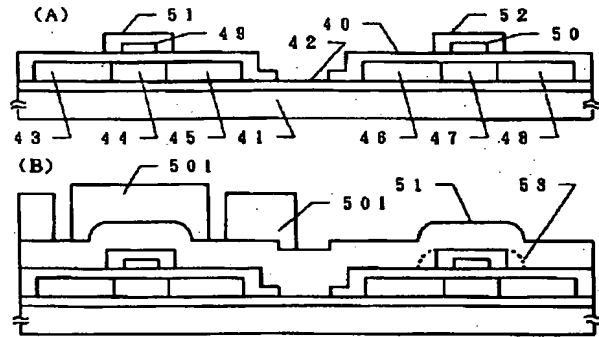
【図2】



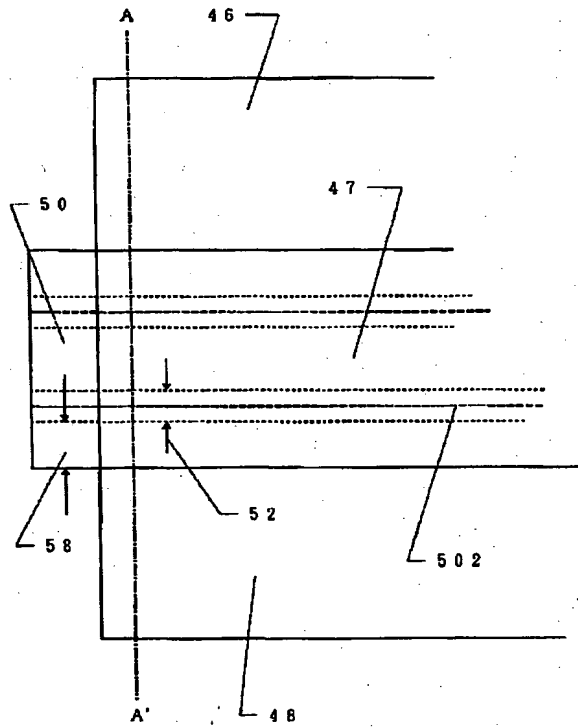
【図3】



【図4】



【図5】



【図6】

